

23833

출력 일자: 2003/10/29

발송번호 : 9-5-2003-042055263

발송일자 : 2003.10.28

제출기일 : 2003.12.28

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

장 특허법률사무소)

장수길 귀하



특허청 의견제출통지서

출원인 명칭 미쓰비시덴키 가부시기가이샤 (출원인코드: 519980960919)

주소 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고

대리인 성명 장수길 외 1명

주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호 10-2001-0074141

발명의 명칭 반도체 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원의 청구범위 제1-3항은 반도체 장치에 관한 것으로, 주연을 갖는 기판, 절연층, 절연층내에 매설된 발열체층과, 제1, 제2배선층, 절연층 내에 매설되어 발열체층과 제1, 제2배선층에 접속된 제1, 제2플러그, 제1배선층 또는 제1플러그 상단에 접속되고 주연에 하단이 도달해 있는 제3플러그 등을 포함한 것이 특징이나, 이는 인용발명1(일본특개평5-347412호), 인용발명2(일본특개평11-135799호) 및 인용발명3(일본특개평11-238734호)에 각각 개시된, 콘택홀이 절연층을 관통하여 도전체막이 배선층과 반도체기판과의 사이에 쇼트키접합을 형성하는 것에 의해 트랜지스터에서 발생한 발열을 기판으로 방출하도록 구성한 반도체 집적회로의 구성으로부터 통상의 지식을 가진 자가 용이하게 발명할 수 있습니다.

[참조]

참조 1 일본공개특허공보 평05-347412호(1993.12.27) 1부

참조 2 일본공개특허공보 평11-135799호(1999.05.21) 1부

참조 3 일본공개특허공보 평11-238734호(1999.08.31) 1부 끝.

2003.10.28

특허청

심사4국

반도체2심사담당관실

심사관 임동우



Received at: 9:25PM, 1/21/2004

FROM 吉田・吉竹・有田特許事務所 06-6945-8031

2004年 1月22日(木) 11:10/番頭11:09/文書番号5304248728 P 3

출력 일자: 2003/10/29

<<안내>>

문의사항이 있으시면 ☎ 042-481-5750 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 안일 업무처리과정에서 직원의 무조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 무조리신고센터

**(1) Japanese Patent Application Laid-Open No. 11-135799 (1999):
"SEMOCONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURING METHOD"**

The following is a brief description of the invention disclosed in this publication.

Since contact plugs 11a-11d are contacted directly with a silicon substrate 1, thermal resistance can be made very low and the heat generated in an active region of MOSFET can be released outside immediately through the silicon substrate 1. In addition, in the above configuration, when an N-type silicon substrate with no more than $1 \times 10^{17} \text{ cm}^{-3}$ impurity concentration is used as the silicon substrate 1, good Schottky barrier between contact plugs 11a-11d and the silicon substrate 1 is formed. Thus, by setting the silicon substrate 1 at the highest potential used within a semiconductor integrated circuit, contact plugs 11a-11d and the silicon substrate 1 can be electrically insulated. Schottky barrier cited here is a barrier which shows rectification in contacting metal with a semiconductor. By biasing a semiconductor in plus, metal and a semiconductor can be electrically insulated. (See Fig. 8)

In this embodiment, a leading end of a contact plug 32a connected to a ground (GND) and an N-type high concentration diffusion layer 26a with unchanged potential is formed in order to reach a P-type silicon substrate 21. Along with that, a leading end of a contact plug 32d connected to a power source (V_{DD}) and a P-type high concentration diffusion layer 27a with unchanged potential is formed in order to reach an N-type diffusion layer 22. Thus, a heat dissipation path can be secured. Furthermore, even though a capacity of parasitic Schottky barrier increases as a diffusion layer capacity, because the leading end of the contact plug 32a contacts the P-type silicon substrate 21, while the leading end of the contact plug 32d contacts the N-type diffusion layer 22, there is no problem as the potential is unchanged. According to such a configuration, as the capacity of parasitic Schottky barrier can be reduced without damaging heat dissipation, it is possible to improve the working speed by 5 to 20%. (See Fig.1)